

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-345737  
(P2001-345737A)

(43) 公開日 平成13年12月14日 (2001. 12. 14)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

キーワード\* (参考)

H 0 4 B 1/707

H 0 4 L 7/00

C 5 K 0 2 2

H 0 4 L 7/00

H 0 4 J 13/00

D 5 K 0 4 7

審査請求 有 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2000-163420 (P2000-163420)

(22) 出願日 平成12年5月31日 (2000. 5. 31)

(71) 出願人 000232036

エヌイーシーマイクロシステム株式会社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72) 発明者 富田 隆行

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

(74) 代理人 100108578

弁理士 高橋 詔男 (外3名)

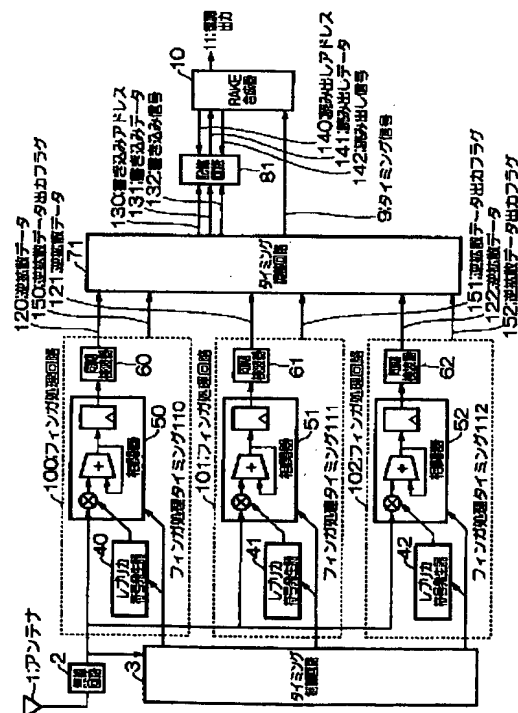
最終頁に続く

(54) 【発明の名称】 スペクトル拡散受信装置

(57) 【要約】

【課題】 複数シンボルを跨いだ RAKE 合成を可能とし、また、ソフトウェア記述による回路設計を行なう場合に適するようにしたスペクトル拡散受信装置を提供する。

【解決手段】 マルチパスからの受信データを、各パス毎に対応したタイミングに従って同期をとって相関処理し、各パスの相関出力信号を RAKE 合成するスペクトル拡散受信装置であって、タイミングに従う逆拡散データを生成する複数のフィンガ処理回路 100 (101、102) と、逆拡散データが所定長単位で格納される記憶回路 81 と、記憶回路 81 に所定量の逆拡散データが格納されたときにタイミング信号を出力するタイミング調整回路 71 と、タイミング調整回路 71 により出力されるタイミング信号により記憶回路 81 から所定長の逆拡散データを読み出し、RAKE 合成を行なう RAKE 合成器 10 とを備えた。



#### 【特許請求の範囲】

【請求項 1】 受信データに基づいて生成される逆拡散データをレイク合成する際、複数シンボルの逆拡散データを一旦記憶回路に記憶した後、所定のタイミング調整を行うことによりレイク合成することを特徴とするスペクトル拡散受信装置。

【請求項 2】 マルチバスからの受信データを、各バス毎に対応したタイミングに従って同期をとって相関処理し、前記各バスの相関出力信号をレイク合成するスペクトル拡散受信装置において、

前記タイミングに従う逆拡散データを生成する複数のフィンガ処理回路と、

前記逆拡散データが所定長単位で格納される記憶回路と、

前記記憶回路に所定量の逆拡散データが格納されたときにタイミング信号を出力するタイミング調整回路と、

前記タイミング調整回路により出力されるタイミング信号により前記記憶回路から所定長の逆拡散データを読み出し、レイク合成を行なうレイク合成器とを備えたことを特徴とするスペクトル拡散受信装置。

【請求項 3】 前記タイミング調整回路は、前記記憶回路に所定量の逆拡散データが格納されたときにレイク合成のためのタイミング信号を出力することを特徴とする請求項 2 に記載のスペクトル拡散受信装置。

【請求項 4】 前記各フィンガ処理回路は、所定長の逆拡散が終了する毎にその逆拡散データと逆拡散データ出力フラグを生成出力し、

前記タイミング調整回路は、前記各フィンガ処理回路によって生成出力される逆拡散データ出力フラグを参照し、前記各フィンガ処理回路の処理タイミングが異なるとき、前記逆拡散データ出力フラグが入力されたタイミングでその逆拡散データを前記記憶回路に書き込み、前記各フィンガ処理回路の処理タイミングが同時であったとき、あらかじめ決められた優先順位に従いその逆拡散データを前記記憶回路に書き込むことを特徴とする請求項 2 に記載のスペクトル拡散受信装置。

【請求項 5】 前記記憶回路に前記逆拡散データを書き込むときに生成されるアドレスは、前記記憶回路へ書き込むフィンガ番号、前記フィンガ処理回路で処理するシンボル番号ならびに前記記憶回路に所定量の逆拡散データが格納されたとき、0、1 の値を交互にとる変数によって決まることを特徴とする請求項 4 に記載のスペクトル拡散受信装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、CDMA（符号分割多重アクセス：Code Division Multiple Access）方式のスペクトル拡散受信装置に関する。

##### 【0002】

【従来の技術】 CDMA方式のスペクトラム拡散受信装

置において、マルチバスからの信号を受信し、各バス毎に対応したタイミング調整により同期をとって相関処理し、各バスの相関出力をレイク（以下、RAKEと称する）合成して目的の信号を得るスペクトル拡散受信装置の構成例を図 3 に示す。

【0003】 図 3 において、レプリカ符号発生器 34、相関器 35、同期検波器 36（34、35、36 をまとめてフィンガ処理部という）は、それぞれタイミング制御回路 33 によって割り当てられたタイミングで検波を行なう。タイミング調整バッファ 37 でタイミングを合わせた検波データが RAKE 合成器 38 に入力されることにより RAKE 合成され、復調データが出力される。このことは、先願として特開平 10-190528 号に詳細に開示されている。

##### 【0004】

【発明が解決しようとする課題】 従来、上述した RAKE 合成はシンボル単位で行なっており、従って問題はなかったが、さらに発達した GSM（Global System for Mobile communication）コア・ネットワークおよび無線アクセス技術に基づく第 3 世代移動システム用技術仕様を策定するための標準化団体である 3GPP（3<sup>rd</sup> Generation Partnership Project：第 3 世代パートナーシップ・プロジェクト）の規定では、複数シンボルに跨る処理が追加されている。このため、複数シンボルをまとめて処理するのに適しているアーキテクチャが必要となってきた。

【0005】 また、フィンガ本数の増加、マルチコード等 RAKE の機能増加にともなって処理が複雑になってきているため、従来のようにシンボル単位でハードウェアにより処理するよりもソフトウェアで処理した方が機能性、拡張性に富む。いずれにしても従来例によれば複数シンボルを跨いだ RAKE 処理が不可能であり、シンボル単位での処理が要求されるため、ソフトウェアで処理を行なうことが困難であった。更に、従来技術によれば、タイミング遅延の許容量やフィンガ数が増加すると回路の増加が著しくコスト高になるといった問題もあった。

【0006】 本発明は上記事情に鑑みてなされたものであり、受信データに基づきフィンガ処理部で生成された逆拡散データを RAKE 合成する際に、逆拡散データを一つの記憶回路に書き込んだ後に RAKE 合成することにより、複数シンボルを跨いだ RAKE 合成を可能とし、また、タイミング調整を行なうことで記憶回路を介在させることにより、ある一定の単位でまとめて RAKE 合成以降の処理を行ない、ソフトウェア記述による回路設計を行なう場合に適するようにしたスペクトル拡散受信装置を提供することを目的とする。また、記憶回路を一面だけ持つことでアドレスデコーダを一元化して、回路を小型化することのできるスペクトル拡散受信装置を提供することも目的とする。

#### 【0007】

【課題を解決するための手段】上記した課題を解決するために請求項1に記載の発明は、受信データに基づいて生成される逆拡散データをRAKE合成する際、複数シンボルの逆拡散データを一旦記憶回路に格納した後に所定のタイミング調整を行うことによりRAKE合成することとした。このことにより、記憶回路内にはある長さ単位の逆拡散データを格納し、その逆拡散データが例えば記憶回路の半分を埋めたときにタイミング信号を出力することでRAKE合成を起動することで複数シンボルを跨ぐRAKE合成が可能となる。

【0008】請求項2に記載の発明は、マルチパスからの受信データを、各パス毎に対応したタイミングに従って同期をとって相関処理し、各パスの相関出力信号をRAKE合成するスペクトル拡散受信装置であって、タイミングに従う逆拡散データを生成する複数のフィンガ処理回路と、逆拡散データが所定長さ単位で格納される記憶回路と、記憶回路に所定量の逆拡散データが格納されたときにタイミング信号を出力するタイミング調整回路と、タイミング調整回路により出力されるタイミング信号により記憶回路から所定長の逆拡散データを読み出し、RAKE合成を行なうRAKE合成器とを備えることとした。上記構成により、受信データに基づきフィンガ処理回路で生成された逆拡散データをRAKE合成する際に、逆拡散データを一つの記憶回路に書き込んだ後にRAKE合成することにより、複数シンボルを跨いだRAKE合成を可能とし、また、タイミング調整を行なうことで記憶回路を介在させることにより、ある一定の単位でまとめてRAKE合成以降の処理を行なうものであり、ソフトウェア記述による回路設計を行なう場合にも適する。

【0009】請求項3に記載の発明は、請求項2に記載のスペクトル拡散受信装置において、タイミング調整回路は、前記記憶回路に所定量の逆拡散データが格納されたとき、つまり全フィンガの所定量の処理が終了したときにRAKE合成タイミング信号を出力することとした。このことにより、記憶回路に対する書き込みがある一定の単位で行われ、RAKE合成以降の処理をソフトウェアで行うことが容易になり、また、記憶回路周辺も単純な構成で済み、特に、記憶回路を一面だけ持つことでアドレスデコーダを一元化して回路規模を小型化できる。

【0010】請求項4に記載の発明は、請求項2に記載のスペクトル拡散受信装置において、各フィンガ処理回路は、所定長の逆拡散が終了する毎にその逆拡散データと逆拡散データ出力フラグを出力し、タイミング調整回路は、各フィンガ処理回路によって出力される逆拡散データ出力フラグを参照し、各フィンガの処理回路のタイミングが異なるとき、逆拡散データ出力フラグが入力されたタイミングでその逆拡散データを記憶回路に書き込

み、各フィンガ処理回路タイミングが同時のとき、あらかじめ決められた優先順位に従いその逆拡散データを記憶回路に書き込むこととした。

【0011】また、請求項5に記載の発明は、請求項4に記載のスペクトル拡散受信装置において、記憶回路に逆拡散データを書き込むときに生成されるアドレスは、記憶回路へ書き込むフィンガ番号、フィンガ処理回路で処理するシンボル番号ならびに前記記憶回路に所定量の逆拡散データが格納されたとき、つまり全フィンガの所定量の処理が終了したとき、0、1の値を交互にとる変数によって決まることとした。このことにより、各フィンガ処理回路から出力される逆拡散データを記憶回路に書き込む順番が制御され、また、アドレス生成がプログラム化されることにより、タイミング調整回路による調停ならびにソフトウェア処理が容易となり、複数シンボルを跨ぐRAKE合成を簡単に行なうことができる。また、ある一定の単位でRAKE合成以降の処理を行なうためソフトウェアでの処理が可能となり、記憶回路を一面だけ持つことにより、回路規模の小型化もはかれる。

#### 【0012】

【発明の実施の形態】図1は本発明におけるスペクトル拡散受信装置の一実施形態を示すブロック図である。本発明のスペクトル拡散受信装置は、アンテナ1、無線回路2、タイミング制御回路3、フィンガ処理回路100、101、102、タイミング調整回路71、記憶回路81、RAKE合成器10で構成される。フィンガ処理回路100は、レプリカ符号発生器40、相関器50、同期検波器60から構成される。同様にフィンガ処理回路101は、レプリカ符号発生器41、相関器51、同期検波器61から、フィンガ処理回路102は、レプリカ符号発生器42、相関器52、同期検波器62から構成される。

【0013】上記構成において、まず、アンテナ1で受信された変調波を無線回路2がベースバンド信号に変換する。タイミング制御回路3はベースバンド信号からマルチパスの位相(フィンガ処理タイミング110、111、112)を検出する。フィンガ処理回路100は、フィンガ処理タイミング110に従って逆拡散を行ない、逆拡散データ120と逆拡散データ出力フラグ150を出力する。同様にフィンガ処理回路101は、フィンガ処理タイミング111に従って逆拡散を行ない、逆拡散データ121と逆拡散データ出力フラグ151を出力し、フィンガ処理回路102は、フィンガ処理タイミング112に従って逆拡散を行ない、逆拡散データ122と逆拡散データ出力フラグ152を出力する。

【0014】タイミング調整回路71は、逆拡散データ出力フラグ(150、151、152)により、各フィンガの処理が終了したことを検出し、逆拡散データ(120、121、122)のタイミング調停を行なう。タイミング調整回路71は、逆拡散データ出力フラ

グが1個だけ入力された場合、すなわち、各フィンガ処理回路100、101、102の処理タイミングが異なる場合、逆拡散データ出力フラグ150、151、152が入力されたタイミングで記憶回路81に逆拡散データを書き込む。このとき、フィンガ番号、シンボル番号、図2のフローチャート内に示されている変数bankにより生成される書き込みアドレス130、書き込み信号132により、逆拡散データが書き込みデータ131として記憶回路81に書き込まれる。

【0015】タイミング調整回路71に複数の逆拡散データ出力フラグ150、151、152が入力された場合、すなわち、各フィンガ処理回路100、101、102の処理タイミングが同時となるような場合は、あらかじめ決められた優先順位に基づいた順番で記憶回路81への逆拡散データの書き込みが行なわれる。例えば、逆拡散データ出力フラグ150、151、152が同時に3個入力された場合、すなわち、3本のフィンガのタイミングが同時であった場合、まず、逆拡散データ120を記憶回路81に書き込む。次に、1サイクル待った後、逆拡散データ121を記憶回路81に書き込む。同様に、更に1サイクル待った後、逆拡散データ122を記憶回路81に書き込む。一般的に拡散レートと比較してシンボルレートは大きいので、タイミングを待つ時間には余裕があり、すべての逆拡散データを問題なく順番に書き込むことが出来る。

【0016】記憶回路81にはある長さ単位（スロット単位等）の2倍の逆拡散データが格納される。タイミング調整回路71は、ある長さ単位（スロット単位）の逆拡散データの格納が終了した後、タイミング信号9を発生し、RAKE合成器10に通知する。RAKE合成器10は、このタイミング信号9により、読み出しアドレス140のデータを読み出し信号142によって逆拡散データを読み出して（読み出しデータ141）RAKE合成を行なう。この動作と並行して、記憶回路81の別のアドレスには逆拡散データが順次書き込まれる。なお、図1に示すレプリカ符号発生器40、41、42、相関器50、51、52、同期検波器60、61、62の構成は従来から周知化されており、また、本発明とは直接関係しないので、その詳細な説明は省略する。

【0017】図2は、図1に示すスペクトル拡散受信装置の回路動作をフローチャートで示した図である。図2中、点線で囲った部分はタイミング調整回路71の処理を示す。また、図2に示すフローチャート中、変数“Nsym”は、1スロットあたりのシンボル数、“fsym[a]”はフィンガのシンボル番号、“outflag[a]”はフィンガ処理回路100（101、102）の逆拡散出力フラグ、“outP”は記憶回路81（dpram）へ書き込むフィンガ番号、“bank”は、dpramアドレスの最上位ビット、“dpram”は記憶回路81、“%”は余剰演算子とする。ま

た、ここでは、フィンガを3本あるものとして説明する。

【0018】以下、図2に示すフローチャートを参照しながら図1に示す本発明実施形態の動作について詳細に説明する。まず、変数“fsym”、“bank”に“0”を設定して初期化すると共に、タイミング制御回路3に逆拡散タイミングを設定する（ステップA1、A2、A3）。そして、アンテナ1で受信された変調波は無線回路2によってベースバンド信号に変換され、タイミング制御回路3によってベースバンド信号からマルチパスの位相（フィンガ処理タイミング110、101、102）が検出される。

【0019】フィンガ処理回路100は先に設定された逆拡散タイミング110に従って逆拡散を行ない（ステップA3、A4）、逆拡散データ120を出力する。同様にフィンガ処理回路101は、フィンガ処理タイミング111に従って逆拡散を行ない、逆拡散データ121を出力し、フィンガ処理回路102は、フィンガ処理タイミング112に従って逆拡散を行ない、逆拡散データ122を出力する。各フィンガ処理回路100、101、102は、1シンボル分の逆拡散が終了するとそれぞれ逆拡散データ出力フラグ150、151、152を出力する。次に、ステップA5で逆拡散データ出力フラグが出力されているか否かを判定し、出力されていなければ、ステップA4の動作に戻り逆拡散を続ける。

【0020】ステップA5において、逆拡散データ出力フラグが1個のみ出力されている場合と2個以上出力されている場合がある。以下、フィンガ処理回路101とフィンガ処理回路102から同時に逆拡散データ出力フラグ150、151が出力された場合について説明する。ステップA5で逆拡散データ出力フラグが検出されると、ステップA6の処理に進む。ステップA6ではフィンガ処理回路100の逆拡散データ出力フラグの有無を検出する。ここでは、フィンガ100の逆拡散データ出力フラグ150は出力されていないので、ステップA7の処理に進む。

【0021】ステップA7ではフィンガ処理回路101の逆拡散データ出力フラグ151の有無を検出する。ここではフィンガ処理回路101の逆拡散データ出力フラグ151が出力されているので、ステップA9の処理に進む。ステップA9ではフィンガ処理回路101の逆拡散データ出力フラグ151を“0”に設定し、記憶回路81への書き込みアドレスの要素の一つである変数“outP”にフィンガ番号“1”を設定してステップA11の処理に進む。ステップA11ではフィンガ処理回路101の逆拡散データを、bank[outP]、outP、fsym[outP]に従う記憶回路81のアドレスに書き込む。

【0022】ステップA12では、フィンガ処理回路101のシンボル番号fsym[outP]をカウンタア

ップする。ステップA13では、フィンガ処理回路101のスロットが終了したかどうかを判定し、フィンガ処理回路101のスロットが終了していない場合、ステップA4の動作に戻り、逆拡散を行なう。次に、ステップA5で逆拡散データ出力フラグ150、151、152が出力されているか否かを判定する。ここでは、フィンガ処理回路102の逆拡散データ出力フラグ152が出力されているため、ステップA6の処理に進む。ステップA6ではフィンガ処理回路100の逆拡散データ出力フラグ150が検出されないでステップA7の動作に進む。

【0023】ステップA7では、フィンガ処理回路101の逆拡散データ出力フラグ151が検出されないで、つまり、フィンガ処理回路102の逆拡散データ出力フラグ152が出力されているので、ステップA8の処理に進む。ステップA8では、フィンガ処理回路102の逆拡散データ出力フラグ152を“0”に設定し、記憶回路81への書き込みアドレスの要素の一つである変数“outP”にフィンガ番号“2”をセットし、ステップA11の処理に進む。以下、ステップA12以降を処理し、上記のステップA4からステップA13に至る動作をスロットが終了するまで繰り返す。

【0024】フィンガ番号outPのスロットが終了した場合、ステップA13からステップA14の動作に進み、bank[outP]に“1”を加算する。このとき、bank[outP]は“0”か“1”の値をとる。ステップA15では、全フィンガのスロットが終了したかどうかを判定する。ここで、全フィンガのスロットが終了していない場合、ステップA14の動作に戻る。全フィンガのスロットが終了した場合、ステップA16の処理に進み、タイミング信号9を“1”（スロット終了）に設定してステップA4の動作に戻る。

【0025】RAKE合成器10はタイミング信号9を受け取った後、記憶回路81から逆拡散データを読み出してRAKE合成を行なう。そして、タイミング信号9を“0”に戻し、以降、ステップA4からA16に至る一連の動作を繰り返す。なお、逆拡散タイミングが新たに設定された場合はステップA1の動作に戻る。

【0026】以上説明のように本発明は、受信データに基づきフィンガ処理部100、101、102で生成された逆拡散データをRAKE合成する際に、逆拡散データを一つの記憶回路81に書き込んだ後にRAKE合成

することにより、複数シンボルを跨いだRAKE合成が可能とし、また、タイミング調整回路71でタイミング調整を行なうことで記憶回路81を介在させることにより、ある一定の単位でまとめてRAKE合成以降の処理を行ない、ソフトウェア記述による回路設計を行なう場合にも適するものである。また、記憶回路を一面だけ持つことでアドレスデコーダを一元化して、回路を小型化することもできる。なお、上述した本発明実施形態においては、フィンガ本数を3本、記憶回路81への格納単位がスロットとして説明したが、フィンガの本数はN本、記憶回路81への格納単位はMシンボルとして任意に構成することができる。なお、本発明が上記各実施形態に制限されず、本発明の技術思想の範囲内において、各実施形態は適宜変更され得ることは明らかである。

#### 【0027】

【発明の効果】以上説明のように本発明によれば、記憶回路内にはある長さ単位の逆拡散データを格納し、その逆拡散データが例えば記憶回路の半分を埋めたときにタイミング信号を出力することでRAKE合成を起動することで複数シンボルを跨ぐRAKE合成が可能となる。また、一つの記憶回路に複数シンボルの逆拡散データを持つことにより、複数シンボルを跨いだRAKE合成が可能となる他、記憶回路に対しての書き込みがある一定の単位で行われるのでRAKE合成以降の処理をソフトウェア化することが容易となる。更に、タイミング調整回路で記憶回路への書き込みタイミングを調整し、記憶回路を一面だけ持つことにより回路を小型化することも可能である。

#### 【図面の簡単な説明】

【図1】 本発明におけるスペクトル拡散受信装置の一実施形態を示すブロック図である。

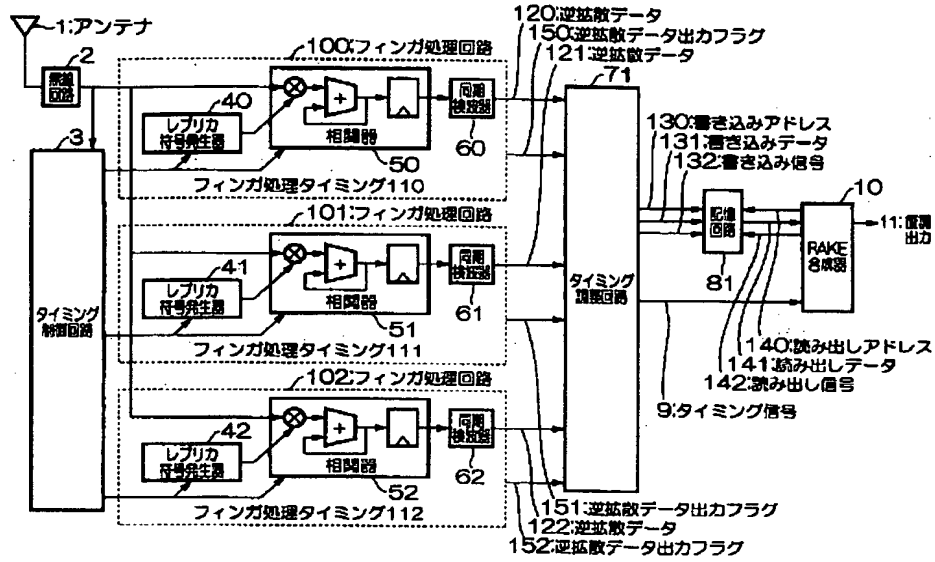
【図2】 図1に示す本発明実施形態の動作をフローチャートで示した図である。

【図3】 従来におけるスペクトル拡散受信装置の構成例を示すブロック図である。

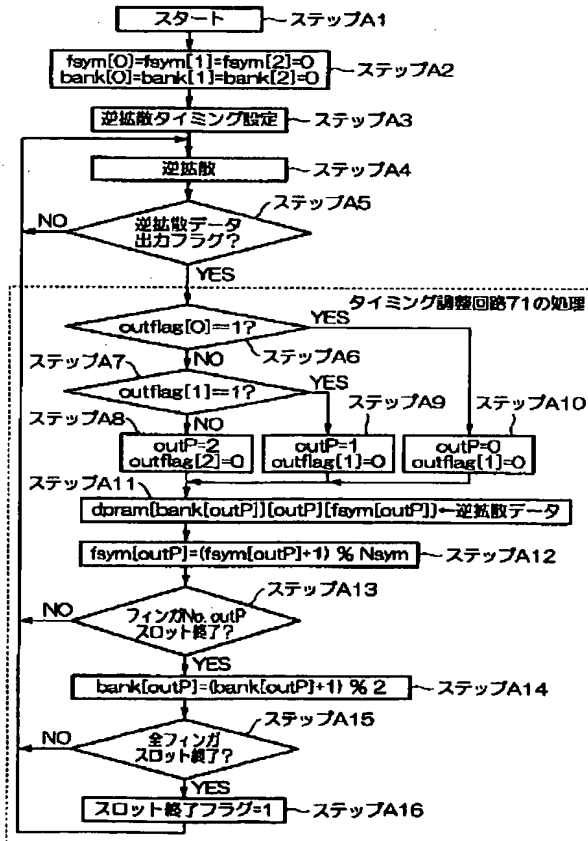
#### 【符号の説明】

1…アンテナ、2…無線回路、3…タイミング制御回路、10…RAKE合成器、71…タイミング調整回路、81…記憶回路、100（101、102）…フィンガ処理回路、150（151、152）…逆拡散データ出力フラグ

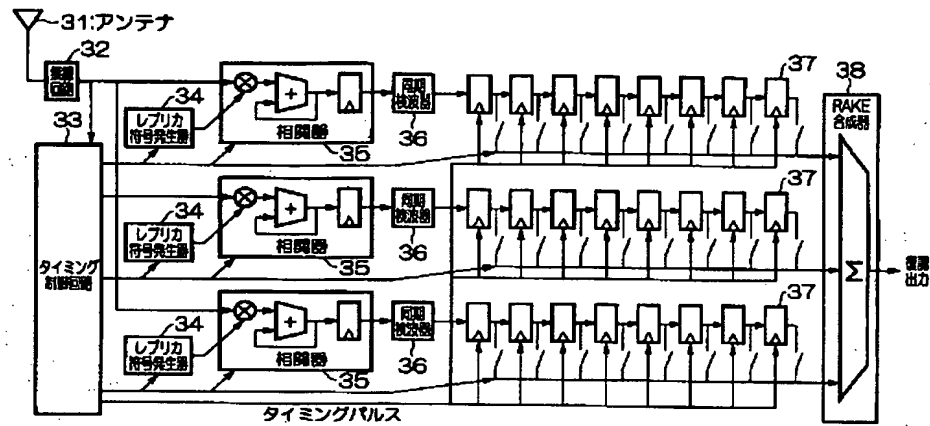
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 丸山 勇一  
 神奈川県川崎市中原区小杉町一丁目403番  
 53 日本電気アイシーマイコンシステム株  
 式会社内

Fターム(参考) 5K022 EE01 EE32 EE36  
 5K047 AA01 AA16 CC01 GG27 GG32  
 HH15 JJ06 LL06 MM13 MM24